

**Flow controller for shared bus used by plural resources**

Patent Number: ☐ US5448701  
Publication date: 1995-09-05  
Inventor(s): METZ JR WALTER C (US); RINDOS III ANDREW J (US)  
Applicant(s): IBM (US)  
Requested Patent: ☐ JP6261052  
Application Number: US19920994849 19921222  
Priority Number(s): US19920994849 19921222  
IPC Classification: G06F13/36  
EC Classification: G06F13/362  
Equivalents:

---

**Abstract**

---

The flow controller utilizes intelligent adapters to connect plural resources to a bus and a central arbiter that decides which adapters have access to the bus for the next bus cycle. Each adapter has an input buffer for transmitting data onto the bus, an output buffer for receiving data from the bus and a target register that identifies the destinations of the data in the input buffer. Each adapter communicates over control lines separate from the bus the following information: if its input buffer is nearly full, if its output buffer is either nearly empty or nearly full and the contents of its target register. The central arbiter gives highest priority to those adapters having nearly full input buffers with data for non-full output buffers, next highest priority to those adapters having nearly empty output buffers with data targeted by an input buffer and lowest priority to adapters with less than full input buffers having data for non-empty output buffers.

---

Data supplied from the esp@cenet database - I2

BEST AVAILABLE COPY

AL

(18)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-261052

(43)公開日 平成6年(1994)9月16日

(31)Inventor	発明者	発明者住所	FI	特許審判官
H 0 4 L 12/40				
G 0 6 F 13/35	3 1 0 D 8044-5B		H 0 4 L 11/ 00	3 2 0
	7341-5K			

審査請求 有 請求項の数 6 頁 (全 16 頁)

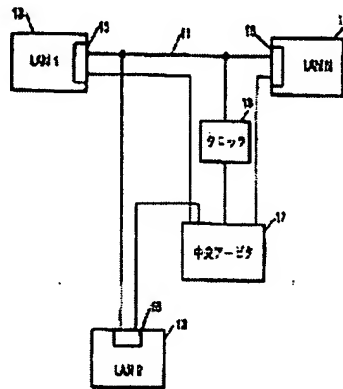
(21)出願番号 特開平5-302083  
(22)出願日 平成5年(1993)12月1日  
(31)優先発明番号 9 8 4 8 4 9  
(32)優先日 1992年12月22日  
(33)優先発明国 米国 (US)

(71)出願人 290009531  
インターナショナル・ビジネス・マシーンズ・コーポレーション  
INTERNATIONAL BUSINESS MACHINES CORPORATION  
アメリカ合衆国10504、ニューヨーク州  
アーモンク (書地なし)  
(72)発明者 ウォルター・ケード・マップ、ジュニア  
アメリカ合衆国27605、ノースカロライナ  
州ローラー、パーキ・ドライブ 1712  
(74)代理人 弁理士 倉田 昭 (外9名)

最終頁に続く

(54)【発明の名称】 共用バスのフロー制御装置

(57)【要約】  
【目的】 複数の装置によって使用される共用バスのフロー制御装置を提供すること。  
【構成】 複数の装置をバス及び中央アービタに接続するために、フロー制御装置が複数のアンプを使用する。中央アービタは次のバス・サイクルにおいてバスへのアクセスを許可するアンプを選択する。各アンプは、バス上へデータを転送するための入力バッファ、バスからデータを転送するための出力バッファ、及び入力バッファ内のデータの転送を制御するリセット・レジスタを有する。各アンプはバスとは別の電源ラインを介して、次の装置を駆動する。すなわち、その入力バッファがニアリ・フルであるか、その出力バッファがニアリ・エンプティ・ニアリ・フルであるか、及びそのリセット・レジスタの内容である。



〔請求項 1〕各装置がバス上に接続されるデータを送信する第 1 の配線子線、及び上記バスからデータを受信する第 2 の配線子線を有し、各上記配線 1 及び第 2 の配線子線がデータ配線容量を有する、複数の上記装置により共用される上記バスへの上記複数の装置によるアクセスを制御する方法であつて、

- 1) 各レコーダの1の記憶子母及び1の記憶子母に合  
するデータ量のそれとそれの1の記憶子母に合  
する見当度情報とを決定するステップと。  
● 2) 1)の記憶子母情報から、日本の各1の記憶子母からテ  
ータを抽出するたにバスへのアクセスを所定する実  
質、及び日本の各2の記憶子母にデータを生ずるたに  
バスへのアクセスを所定する実質を決定するステッ  
と。
- を合ひ方。

【図 3】各上位の配位子空間の上位ターゲット  
 値または複数の上位の配位子空間に最値されるように  
 ターゲット決定される。

● 各上位の配位子空間に対して、上位それぞれの上位  
 の配位子空間のターゲットによりターゲット決定される上位  
 の配位子空間の事項に関するターゲット情報を取得するス  
 テップと。

ホ1パスへのアクセスを所有する資源を決定する上はステップ7.4. 上記冗余度情報と一緒に上記ターゲット情報を使用し、自身の第1の記憶手段からデータを照会するためにバスへのアクセスを所有する資源、及び自身の第2の記憶手段にデータを受取るためにバスへのアクセスを所有する資源を決定する。

清水 1 区画の方位。  
 【清水 区画】各実質ガス上に懸架されるアーチを記憶する第 1 の記憶子図、及び上記ガスからアーチを支持する第 2 の記憶子図を有し、各上記第 1 及び第 2 の記憶子図がアーチ記憶容量を有する、複数の上記実質を相互接続するバスを共用する上記複数の装置を含むアーチ処理システムを有して、

● 各上記第1の記憶手段及び上記第2の記憶手段に含まれるデータ量のそれぞれの上記容量に対する充満度情報を獲得する手段と、  
 上記充満度情報から、日時の第1の記憶手段からデータを取得するためにバスへのアクセスを所有する装置、及び日時の第2の記憶手段にデータを取得するためにバスへのアクセスを所有する装置を選択する手段と、

●ト上記配列された装置に上記バスへのアクセスを許可する手段と、を含むシステム。

【請求項 4】各上記第 1 の配列手段内の上記データが、初めは複製の上記第 2 の配列手段に記憶されるように、データ格納指定され。

●各第 1 の配列手段に対して、上記それぞれの第 1

---

の記憶子空間のデータによりターゲット設定される第2の記憶子空間の参照に関するターゲット情報を得得する手段と。

①「上記過渡状況図面上に発生病状情報と一致したターゲット情報を選択し、②日の第1の配位子図からターゲットを、選択するためにパスへのアクセスを所有する資源、及び③日の第2の配位子図にターゲットを占有するためにパスへのアクセスを所有する資源を決定する手段と、  
 ④を、請求項1の配位子システム。  
 【請求項5】 ①のパスを介して選択する複数の資源を有

するターゲティングシステムで採用されるフロー制御装置であり、

① 上記バスに接続される複数のアダプタを含む、少なくとも1個のアダプタが各装置に対応して存在し、各アダプタは送信バッファ、受信バッファ、及びターゲット・レジスタを含む、各アダプタの上記ターゲット・レジスタがそれぞれ複数の送信バッファ間のターゲティング・レ

ット特定される受給者グループに関する情報を含み、  
 ② 有給ライン手帳により各アタックに接続されるアー  
 ビタを含み、上記有給ライン手帳が各アタックから記  
 アービタに、それぞれの受給者グループの先着度、それ  
 ぞれの受給者グループのエンブディネス及び先着度、及び上  
 記アービタに配属されるそれぞれのアービタ・タ  
 ーゲット・レジスタにロードされるアタック・ターゲット

レジスタの内容に関する情報は通知し、上記制御ライン  
が上記アービタから上記アタプタに、該アタプタ  
が通知バッファまたは受信バッファのいずれかによりバ  
スをアクセスする各場合に、かかる情報は通知する。  
フロー制御回路。

【請求項 5】 上記アービタが、  
a) 上記制御ラインに、上記アタプタから通知される

上記情報から、乗付の乗付バッファに属するデータでフルに近付いている乗付バッファを含む、乗付バッファの1つのセットが存在する方が有利な手段と、  
b) 上記1の乗付バッファのセットを有する上記アダプタに上記バスへのアクセスを許可する手段と、を含む、請求項1記載のフロー制御装置。

12345678910111213141516171819202122232425262728293031323334353637383940414243444546474849505152535455565758596061626364656667686970717273747576777879808182838485868788899091929394959697989910010110210310410510610710810911011111211311411511611711811912012112212312412512612712812913013113213313413513613713813914014114214314414514614714814915015115215315415515615715815916016116216316416516616716816917017117217317417517617717817918018118218318418518618718818919019119219319419519619719819920020120220320420520620720820921021121221321421521621721821922022122222322422522622722822923023123223323423523623723823924024124224324424524624724824925025125225325425525625725825926026126226326426526626726826927027127227327427527627727827928028128228328428528628728828929029129229329429529629729829930030130230330430530630730830931031131231331431531631731831932032132232332432532632732832933033133233333433533633733833934034134234334434534634734834935035135235335435535635735835936036136236336436536636736836937037137237337437537637737837938038138238338438538638738838939039139239339439539639739839940040140240340440540640740840941041141241341441541641741841942042142242342442542642742842943043143243343443543643743843944044144244344444544644744844945045145245345445545645745845946046146246346446546646746846947047147247347447547647747847948048148248348448548648748848949049149249349449549649749849950050150250350450550650750850951051151251351451551651751851952052152252352452552652752852953053153253353453553653753853954054154254354454554654754854955055155255355455555655755855956056156256356456556656756856957057157257357457557657757857958058158258358458558658758858959059159259359459559659759859960060160260360460560660760860961061161261361461561661761861962062162262362462562662762862963063163263363463563663763863964064164264364464564664764864965065165265365465565665765865966066166266366466566666766866967067167267367467567667767867968068168268368468568668768868969069169269369469569669769869970070170270370470570670770870971071171271371471571671771871972072172272372472572672772872973073173273373473573673773873974074174274374474574674774874975075175275375475575675775875976076176276376476576676776876977077177277377477577677777877978078178278378478578678778878979079179279379479579679779879980080180280380480580680780880981081181281381481581681781881982082182282382482582682782882983083183283383483583683783883984084184284384484584684784884985085185285385485585685785885986086186286386486586686786886987087187287387487587687787887988088188288388488588688788888989089189289389489589689789889990090190290390490590690790890991091191291391491591691791891992092192292392492592692792892993093193293393493593693793893994094194294394494594694794894995095195295395495595695795895996096196296396496596696796896997097197297397497597697797897998098198298398498598698798898999099199299399499599699799899910001001100210031004100510061007100810091010101110121013101410151016101710181019102010211022102310241025102610271028102910301031103210331034103510361037103810391040104110421043104410451046104710481049105010511052105310541055105610571058105910601061106210631064106510661067106810691070107110721073107410751076107710781079108010811082108310841085108610871088108910901091109210931094109510961097109810991100110111021103110411051106110711081109111011111112111311141115111611171118111911201121112211231124112511261127112811291130113111321133113411351136113711381139114011411142114311441145114611471148114911501151115211531154115511561157115811591160116111621163116411651166116711681169117011711172117311741175117611771178117911801181118211831184118511861187118811891190119111921193119411951196119711981199120012011202120312041205120612071208120912101211121212131214121512161217121812191220122112221223122412251226122712281229123012311232123312341235123612371238123912401241124212431244124512461247124812491250125112521253125412551256125712581259126012611262126312641265126612671268126912701271127212731274127512761277127812791280128112821283128412851286128712881289129012911292129312941295129612971298129913001

【発明の名称】  
【0001】  
【発明の所属分野】本発明は、共用バスを介してテータ

【図 0.0.2】  
**【従来の技術】**データ処理システムにおいて、複数の装置を相互接続するために、共用バスが採用される。例えば、データ・バスが様々なローカル・エリア・ネットワーク・(LAN)により採用される。LANは共用データ・バスを介し、相互接続された装置に接続する。

【BDBB】単一のバスを使用する多くの資源において

---

生ずる遅延的故障のため、バス上におけるデータのトラフィックスを削減する効果が提供されなければならない。削減値は装置により生成されるトラフィックスをバス上にバスターミナル、トラフィックスを減速させたり、トラフィックスをバスからブロッカすることにより、バス上のトラフィックスを和減する。従来の削減値は、単にバスへバスまたはブロッカするゲート制御を使用する。

【0004】削減値の他に、従来の技術ではバス上におけるデータのトラフィックスを削減するアービタを使用する。アービタは同時に、どの特定の装置がバスへのアクセスを獲得するかを決定する優先順位制御を使用する。

【0005】従来のアービタはバスから動作する。装置がバス上にデータを送信する必要があると、これは要求をバス上に送付してアービタに送信する。アービタは要求をキューに入れ、どの装置がバス上に送信可能かを判断する。バスはデータだけでなく要求を送信するためにも使用され、更にアービタは装置間の送信情報を伝送するために送付サイクルが使用されるために、バスのデータ伝送容量が低減される。

【0006】更に従来のアービタは、従来のバス・アクセス要求のレース・コンディションを考慮し、競って、ある時間間隔データが送られて来ない特定の送信装置が、処理データを欠いてしまう可能性がある。この欠陥は装置の競争的動作を排除しない。

【0007】

【発明が解決しようとする課題】本発明の目的は、両向バスとアクセス可能な特定の装置を接続するフロム・制御値を提供することである。この制御値は、バス上におけるデータのフル・ブロードキャストを最大化するために、バスの使用率においてもバスのバックグラウンドを動作する。

【0008】本発明の更に目的は、送信装置が処理するバス・データを可能な限り時間を最小化するように、送信装置間の優先順位制御にもとづいてバスをアクセス可能なバス装置を選択する。バスバスのためのフロム・制御値を提供することである。

【0009】

【課題を解決するための手段】本発明は、装置間で共有されるバスへの装置の装置によるアクセスを制御する方法及びシステムを提供する。各装置はバス上に送信されるデータを送信する第1の記憶装置、及びバスからのデータを受信する第2の記憶装置を有する。第1及び第2の記憶装置の各々はデータ記憶容量を有する。本発明の方法は、第1の記憶装置及び第2の記憶装置の各々に含まれるデータ量に関する装置の優先順位を獲得する。次に本発明は、この装置の優先順位から、どの装置がその第1の記憶装置からデータを送信するためにバスへのアクセスを所有するか。またどの装置がその第2の記憶装置にデータを受信するためにバスへのアクセスを所有するかを判

断する。

【0010】本発明の1実施形態によれば、各装置の記憶装置のデータによりデータ・ブロードキャストされる第2の記憶装置の装置に関するデータ・ブロードキャスト情報が獲得され、この情報が装置の優先順位と一併に使用されて、どの装置がバスへのアクセスを所有するかを決定される。

【0011】本発明の別の実施形態によれば、バスへのアクセスを所有する装置の決定が、装置の優先順位及びデータ・ブロードキャスト情報から、乗付 (penalty) の値の記憶装置に付与するデータでフルに近づいている第1の記憶装置を含む。第1及び第2の記憶装置の第1のセットが存在する場合は、第1の記憶装置の第1のセットが存在しない場合、本発明はエンフティ状態に近づく第2の記憶装置、及びそのエンフティ状態に近づく第2の記憶装置にデータ・ブロードキャストされるデータを含む第1の記憶装置を含む。第1及び第2の記憶装置の第2のセットが存在する場合は、第1及び第2の記憶装置の第2のセットが存在する場合、そのセットがバスへのアクセスを提供される。

【0012】本発明はいくつかの方法により、バス上におけるデータのフル・ブロードキャストを最大化する。第1に、本発明はバスのバックグラウンドにおいて動作する。バスは装置間の優先順位制御が中央アービタに対し、各装置間の記憶装置の装置の優先順位、及びバス上にデータが送信されるのを待機中のデータ・ブロードキャスト装置に関する情報を提供する。これにより中央アービタは、バスへのアクセスを獲得する装置を決定するために必要な情報を、バスから獲得する必要がなくなる。更に中央アービタは、装置間のデータ伝送にバスが使用されている間にアクセスを決定できる。このようにアービタがアクセスを決定することによって、バス時間が奪われることがなくなる。

【0013】第2に、本発明はいずれかの送信装置記憶装置がニア・フル (nearly full) 状態であるかを判断するために、送信装置記憶装置の装置の優先順位を参照する。更にニア・フル状態の送信装置記憶装置によりデータがデータ・ブロードキャストされる装置の送信装置記憶装置が、乗付 (penalty) であり、データの送信が可能であるかを判断される。こうした記憶装置のセットが見いだされると、ニア・フル状態の送信装置記憶装置を最近見つけた装置に近づくために、それらの装置にバスへのアクセスが提供される。こうしたセットが見いだされない場合、本発明は送信装置記憶装置の装置のエンフティネス (emptiness) を参照し、いずれかの送信装置記憶装置がニア・エンフティ (nearly empty) であるかを判断する。こうした送信装置記憶装置が見いだされ、それに対応するデータがある送信装置記憶装置内に存在すると、そのセットの記憶装置がバスへのアクセスを提供される。これにより送信装置記憶装置がエンフティ状態になることが保証され、それらの装置がデータの欠如により断続的に使用されることとなる。

【0014】

【実施例】図1は本発明の制御システムのプロログラムを示す。この制御システムは、電源供給バス1.1により、電源供給を受ける。電源供給バス1.1は、ローカル・エリア・ネットワーク(LAN)などの複数の装置1.2と、互いに通信するために接続される。装置1.2は、アダプタ1.5を介してバスに接続される。n番目の装置に接続してn番目のアダプタが存在する。

【0015】アダプタ1.5は、典型的には、特定の装置のインタフェース・モジュールである。例えば、第1のLANはアダプタ1.5によりバスに接続され、第2のLANはアダプタ1.5によりバスに接続され、このようにしてn番目のLANはアダプタ1.5によりバスに接続される。アダプタ1.5はLANがバスを介して互いに通信することを可能にする。クロック1.6は全てのLAN及び制御装置システムを互いに同期させるために提供される。

【0016】本発明の制御装置システムは、アダプタ1.5及びこのアダプタに接続される中央アービタ1.7を含む。

【0017】図2を参照すると、各アダプタ1.5は入力バッファ1.8及び出力バッファ1.9を含む。これらはバス1.1に接続される。入力バッファ1.8はそのアダプタのLANからデータを受信する。アダプタ1.5はその入力バッファ1.8からバス1.1上にデータを送出し、別のアダプタ及びLANに送達する。またアダプタはデータをバス1.1からその出力バッファ1.9に送達する。アダプタは次にデータを出力バッファからそれぞれのLANに送達する。入力バッファ及び出力バッファは、図示されてはいないライントリプラーにより、それぞれの装置に接続される。

【0018】中央アービタ1.7は、どのアダプタがその入力バッファ1.8からバス1.1上にデータを送達可能で、どのアダプタがバスからの受信データをその出力バッファ1.9に送達可能かを判断することにより、アダプタ1.5を制御する。このようにして、中央アービタはバスに送達するデータ・フローの制御を維持する。

【0019】バスに送達するデータ・フローを制御するために、制御装置システムは入力バッファ及び出力バッファである装置1.2、及びほとんど全装置の入力バッファからデータを送出する出力バッファが存在する装置1.2を判断する。こうした入出力バッファのセットが存在すると、これらのバッファを含むアダプタがバッファ・アービタにより、バスへのアクセス権を許可される。これは入力バッファがその容量以上にデータを充填されてオーバーフローを生じ、データの損失を招く状況の発生を最小化する。ほとんど全装置の入力バッファが存在しない場合、制御装置システムは、出力バッファがニアリ・エンプティであるかどうか、及びニアリ・エンプティの出力バッファに到達するデータを有する入力バッファが存在するかを判断する。こうしたバッファのセットが存在する場合、これらのバッファを含むアダプタが、バスへのアクセス権を優先権を優先される。これにより、出力バッファ

内にデータが溜められ、それぞれの装置は即時の優先権となる。従って、その装置内で作業するニアリ・エンプティの出力バッファが存在しない場合には、制御装置システムは次に、単にデータを送達することである。各装置の出力バッファが存在するを判断する。各装置の出力バッファは、その出力バッファにデータ・グット・ビットを有する入力バッファに接続される。

【0020】ある優先レベルの組合せ(001)が発生する時、図1は各装置の出力バッファに到達するデータでニアリ・フル状態の入力バッファが4セクタ存在する。時1、バッファ・アービタはアダプタの特定の優先入力を使用し、その組合せをブローカーする。優先入力は特定の組合せであり、図1は優先権にない組合せであったりする。優先入力を生成するために優先権は発生するが使用される。図1は優先権は、出力バッファがエンプティになるまで、及び入力バッファが充填されるまでにも続く。優先権のバッファは優先権のバッファに接続して、バスをアクセスする状態を外部に提供される。

【0021】ここで述べられるアダプタ1.5は、図1は「図1」アダプタ1.5と示される。各アダプタは、1番または複数のマイクログロブセクタ、十分なメモリ、及び送達されるデータを生成するための専用のマイクログロブセクタを含む。メモリは入力及び出力バッファ空間に使用されるまたは記憶空間に外部化される。

【0022】各バッファは入力及び出力バッファに接続されるデータと、記憶空間または記憶空間に接続する。更に、各アダプタは、特定のデータをバス上に送達するが、入力バッファの場合、アダプタのLANに送達するために、出力バッファの場合、それぞれの出力バッファから送達することである。更に各アダプタは、その入力バッファに送達したブロック・データのターゲットまたは宛先LANを決定するために、ヘッダ・データを保持することである。例えばアダプタ1.5が、LAN2にバスを介してデータを伝送するために、自身のLANからデータを送達すると、アダプタ1.5は、アダプタ1.5の出力バッファがこの特定のブロック・データのターゲットであるを判断する。各アダプタ1.5は、この情報を保持するためのターゲット・レジスタR1を有する。各ターゲット・レジスタR1はnビットを有し、1ビットが各アダプタに到達する。各レジスタR1はn番目のプリック・フロップのレジスタである。アダプタ1.5に到達するビットR1(1)1、アダプタ1.5に到達するR2(2)1などは、同一アダプタ1.5、2などの出力バッファを決定することになるが、最終化のため、ターゲット・レジスタはnビットを有するように示される。実際には、あるアダプタが自身の入力バッファから自身の出力バッファにバスを介してデータを送達することはない。

【0023】各アダプタ1.5はまた、中央アービタ1.7と通信するための1本または複数の制御ラインを維持する。制御ラインは中央アービタ1.7に対し、アダプタの

【0027】図2の論理回路の動作を説明するために、最初にアダプタ#1からアダプタ#2にパケット・デー

【D B 1】中大アービタリは、ラインIIを介してアタプタにより更新されるリジスタRI8に、他のアタプタバスへのアクセスを拒否するが、動作するための減速回路を含む。図4に示すように、アタプタにより供給される制動ラインから、追加の制動ラインを生成する減速回路を、図4において、制動ラインAIは、アタプタに直接、中大アービタリ・レジスタRI1、及びアタプタ・ラインFのRI8によって生成される。ラインAIが方向性を持つ。これはアタプタ・Iがその入力バッファRIを非とする。同様に、少なくとも1個の他の出力バッファ・ラインFからF8で非とする。

対応するタータを有することを示す。図4に示されるように、n番のANDゲート41が提供され、1ゲートがレジスタRIの各ビットに結合する。各ANDゲート41は2入力を受け、それぞれレジスタRIのそれぞれ1ビットのビット、及び対応するラインP1の反転に結合する。ANDゲート41の全ての出力は、各ORゲート42のそれぞれの入力に接続される。ORゲート42の出力は前線ラインA1で示される。

【0032】図5は前線ラインD1を生成する前線回路を示す。ラインD1が空角状態の時、これは各アタフタの入力バッファ内に、アタフタ#1の出力バッファに結合するタータが存在することを示す。中央アビタ内のn番のレジスタの1ビットのビットが、ORゲート45のそれぞれの入力に接続される。ORゲート45の出力は前線ラインD1で示される。

【0033】図6は前線ラインE1を生成する前線回路を示す。図6が空角状態の時、これはアタフタ#1がその入力バッファIR11内に、少なくとも1番のニアリ・エンブディの出力バッファ1ラインT0で示される1に結合するタータを有することを示す。n番のANDゲート47が提供され、各ANDゲート47は2入力を受け、それぞれの入力にはレジスタRIのそれぞれ1ビットのビット及びラインT0111が接続される。ANDゲート47からの出力は、ORゲート48のそれぞれの入力に接続される。ORゲート48の出力はラインE1で示される。

【0034】前線ラインA1及びD1は更に2つの前線ライン、すなわち及びD2を生成するために使用される。前線ラインD2を生成する前線回路が図7に示される。ラインD2が空角状態の時、すなわち1=1の時、これは少なくとも1番のニアリ・エンブディの出力バッファに結合される1番の1に結合してA1が1である1タータを有する。少なくとも1番のニアリ・フルの入力バッファが存在することを示す。n番のANDゲート51が存在し、各ANDゲート51は2入力を受け、一方は前線ラインT111に接続され、他方は前線ラインA1に接続される。ANDゲート51の出力はORゲート52のそれぞれの入力に接続される。ORゲートの出力は前線ラインD2で示される。

【0035】図8は前線ラインD2を生成する前線回路を示す。ラインD2が空角状態の時、これは少なくとも1番のニアリ・エンブディの出力バッファが存在し、このバッファに結合して、少なくとも他の1番のアタフタの入力バッファ内にタータが存在する1番の1に結合してD1が1であることを示す。n番のANDゲート55が存在し、各ANDゲート55の一方の入力は前線ラインT0111に接続され、他方の入力は前線ラインD1に接続される。ANDゲート55の出力はORゲート57のそれぞれの入力に接続される。ORゲートの出力は前線ラインD2で示される。

【0036】前線ラインは中央アビタ17の複数の前線回路に提供される。これらの回路は空角及び空角のアタフタを生成する。前線ライン1711少なくとも1番のニアリ・フルの入力バッファに結合可能なタータを有する。少なくとも1番のニアリ・フルの入力バッファが存在することを示す1の場合、図9及び図10の前線回路が使用される。前線ライン1711少なくとも1番のニアリ・フルの入力バッファに結合可能なタータを有する。ニアリ・フルの入力バッファが存在しないことを示す1の場合、図11及び図12の前線回路が使用される。

【0037】最初に、図9及び図10の前線回路について説明する。これらの回路はニアリ・フル状態で、タータを空角状態にする入力バッファが存在する時に使用される。図9に示される前線回路は、出力M1を1にセットすることにより、空角アタフタ1の入力バッファを生成する。2番以上のニアリ・フルの入力バッファが存在する場合、第1のバッファ・アビタ51は、最初にバスへのアクセスを獲得するニアリ・フルの入力バッファ1及びそのアタフタ1を決定する。空角アタフタ1が生成された後、空角アタフタ1の出力バッファ1が、図10の前線回路に示される61を1にセットすることにより生成される。空角アタフタは、ニアリ・エンブディの出力バッファが存在する状態を有することにより、生成される。存在しない場合、前線回路はニアリ・フルの入力バッファが存在する状態を有することにより、生成される。2番以上のニアリ・エンブディの出力バッファが存在する場合、第2のバッファ・アビタ52が最初にバスへのアクセスを獲得する出力バッファを決定する。

【0038】図9の回路は第1のバッファ・アビタ51に2つの入力セットを提供する。21及び22で示される第1の入力セットは、n番のANDゲート53により提供される。1番目のANDゲート53は前線ライン1111に接続される入力、前線ラインA1に接続される第2の入力を受け、第1のバッファ・アビタ51への第2の入力セットはP1111及びP11n1で示される。第1のバッファ・アビタ51は空角アタフタ1に結合して所望の優先順位にプログラムする。入力P1111はペナルティであり、各々はラインP1111に生成され、1はアタフタ#1に結合する優先順位の1ビットのビット123をコード化し、例えば2番のアタフタが存在する場合、各ペナルティP1111は1本のラインを有する。そして、アタフタ#1はラインP1111、P12、及びP23を有し、アタフタ#2はラインP21、P22、及びP23を有する。

【0039】入力P1111はアタフタの優先順位を生成するようにプログラムされる。例えばアタフタ#1がバッファ・アビタを有する場合、その入力P1111は1111123であり、アタフタ#2が2番目にバッファ・アビタを有する場合、その入力P

1.1.21 は1.1.0である。入力0.1m1が静的である場合、各ラインを所定の電圧に接続することによりプログラムされ、入力が動的な場合、アダプタに対応する最大電圧が検出と共に変化する。

1000000 411を多分する。第1のハッファ・アベータ11が決定する。第2のステューヂーは、第5の7が決定する。各ステューヂーはANDグート7に接続し、それら各ステューヂーは全てORグート9の人力に接続される。第1のステューヂーは入力P1111の通信とビット4の通信とを決定する。このようにして、1個目のステューヂーは入力P1111の通信とビット4の通信とを決定する。各ステューヂーにおいて、7個のANDグート7に7が接続され、各々が各ステューヂーに接続する。1個目のANDグートは1の人力が7がそれら各人力に接続される。他方の人力がライプニツに接続される。ここで1はステューヂーに接続し、又はアタフター1に接続する。例は1はステューヂー1のANDグート1に接続する。その人力及びP111に接続される。ANDグート7の出力は、ORグート5のそれら各の人力に接続される。各ステューヂーは全部の通信と第2グート7に接続する。ORグート5の出力は、各ステューヂーとグート7の1の人力に接続される。1個目の通信と第2グート7の1の人力の人力は、ライプニツに接続される。従って、第1のステューヂーの1の通信と第2グート7は、P11の人力を決定する。各通信と第2グート7の1の出力はインバーター72に2に反転され、ANDグート73の人力に接続される。7個のANDグート72が存在する。第1のステューヂーは、1個目のANDグート73の他方の人力は、入力2に接続される。例は、第2ステューヂー以降では、1個目のANDグート73は、Aの他方の人力は、全部のステューヂーの1個目のANDグートの出力に接続される。ハッファ・アベータの通信ステューヂー5のANDグートの出力は、M17空母で決定される。

[0044] これらのランタイムはRAMに0x00000000の初期値で四隅に入力される。この四隅はそれぞれサブ19と決定する。各サブ19に対して、最終値で四隅は四隅77の値が決定される。四隅77は0x00000000である。各サブ19は、0x00000000の1ステージANDゲート777、2番目の1ステージANDゲート777、81、及び0x00000000のORゲート777を有する。各サブ19はサブ四隅81により重複される。サブ四隅81はANDゲート777、ANDゲート779、ANDゲート811、及びORゲート812を含む。従って、各サブ19内には、このようにサブ四隅81が存在する。0x00000000のサブ19の半が、1番目のサブ19がサブ四隅19として重複される。各サブ19は、1番目のサブ四隅81を有する。サブ19とこれを重複するサブ19はサブ四隅81に対して、4番目の四隅77の全ての1ステージANDゲート777の一方のみが、0x00000000のランタイムに重複される。4番目の四隅77の5番目のサブ19

[illegible][illegible]

【B-04-03】図1-2及び図1-3を参照すると、1=5に  
対して枕元と右側の膝間四時が等しい。図1-2の四時  
は左肩アブタを思い出すために使用される。この四時  
は、リアリー・エンブピアの右カッパアを右するアブ  
タに張力を付し、次に手づつの右カッパアを右する  
アブタが張力される。図1-3の四時四時に使用  
されて、左肩アブタと定義する。左肩アブタとして  
は、思われる左肩アブタに反対するアブタを右する  
のが選択される。

[06]と[07]の二組は第1組のパッパ・アービ  
に使用し、これは第1のバツファ・アービ  
と同一である。入力P0 [1], 乃至 P0 [n] は同  
様に得る。図8のバツファ [1]よりバツファ [n] へ出  
てくる。入力Z<sub>1</sub>とZ<sub>2</sub>をそれぞれ第2組のバツファ  
により供給する。各々はステージANDゲート9  
と、第2のバツファANDゲート7, 9及び  
第3ステージORゲート15から構成される。各第1  
ステージANDゲート9は、前日の出力バツファに  
接続して次の入力を与える。すなわち、反転1, D<sub>H</sub>  
及び反転Fに与える。フルバタの第3ステージAN  
ドゲート7は、その入力を与えて、反転O及び第1ス  
テージANDゲート9の出力を受ける。「アリ・エン  
ディ」意味のANDゲート9はその入力を与えて、第1  
ステージANDゲート9の出力、ラインd及びライ  
ンT<sub>1</sub>を与える。第2ステージANDゲート7,



00の出力は、ORゲート101の入力に接続される。  
ORゲートの出力はライン20である。

【004.5】第3のバッファ・アービタ01の出力は01  
ライン20である。これは図10のANDゲート103  
に入力される。図10の回路は、図12で選択される出  
力バッファにもつて、最終アタックを生成する。図1  
0は各最終アタックに付随する第4回図107をなし、  
各々は電圧により四半波を生成する。図10の出力は、  
各回図107が生成する。各回図107はレジスタに  
接続される。従って、各回図107の最終アタックの図10  
7はレジスタR0に接続される。各回図107のAND  
ゲート103を有する。1回図107のANDゲート103  
は、各回図107の入力バッファに付随して、01  
ライン20に接続される入力に付随する。全てのAND  
ゲート103の出力は、ORゲート105の入力に接  
続される。ORゲート105の出力は、ライン20であ  
る。ライン20は図10のバッファ・アービタ01  
01に接続され、これは第1のバッファ・アービタ01  
と同一である。第4のバッファ・アービタ01はバ  
トル入力P111と図1011を有し、これは図10  
7で述べた入力と同じである。

【004.6】本発明のオペレーションについて次に考  
え、ターゲットシステムとのオペレーションの間、各ア  
タック01はその入力バッファ内に、接続される装置から  
ターゲットを生成する。ターゲットはバス上の1番または複数の  
装置に向けられる。アタックはその入力バッファ内の各  
そのターゲットから、特定の装置に向けられるターゲットを生成  
することである。図10にアタックは、その入力バッ  
ファ上のターゲットに付随するターゲットとなる装置を有する  
とる。各アタックはこのターゲットの1番または複数の  
に、中央アービタ01によりバスへのアクセスを許可さ  
れる。各アタックはバスから図10のターゲット指定され  
るターゲットを生成し、その出力バッファに接続する。バス  
へのアクセスは中央アービタ01により許可される。出  
力バッファからのターゲットはそれぞれの装置に出力され  
る。

【004.7】単純化のため、単一のブロック・サイズの  
ターゲット。バスを接続して伝送されるものと仮定する。  
これは各アクセスにより、最適なターゲット・ブロック・サ  
イズがバス上に伝送されるだけでなく、T1111及び  
T0111を決定する簡易計算を単純化する。

【004.8】どのアタックがバス上に接続し、どのア  
タックがバスから送信するかを判断するために、中央アー  
ビタは二アリの・フルの入力バッファを有するアタックが  
存在するかを判断し、存在する場合、その二アリの・  
フルの入力バッファが、エンパティまたはフルの出力  
バッファに向けてターゲット指定されるかを判断する。  
この情報は図10のラインT1111、T0111、及び  
F1111を介して使用される。1番以上のフルの出力バ  
ッファにターゲット指定されるターゲット二アリの・フル状態

の入力バッファを有するアタックが、入力バッファのオ  
ペレーション及びそれに伴うターゲット損失を防止するた  
めに、バッファ・アービタを生成され、バスをアクセスす  
る。例えば、アタック01が二アリの・フルの入力バッ  
ファを有する場合、それは図10のラインT1111にハイ  
にセットする。アタック01がアタック02に付随する  
ターゲットを有する場合、そのレジスタはそのことをR  
1121と1にセットすることによりする。アタック0  
2がフルの出力バッファを有すると、これはラインF  
2112にハイにセットする。R1121は1かつ反転F2112  
なので、図10の回路はA1111を生成する。これは図1  
0の回路で使用され、T1111は1かつA1111なので、  
I1111を生成する。

【004.9】アタック01がフルの出力バッファに  
付随するターゲットとその入力バッファに付随する場合、F1  
1111のためにA1111となり、アタック01はバスへの  
アクセスを喪失をせぬ。これはアタック01がそのタ  
ーゲットを生成する場所がないことによる。アタック01は、  
ターゲットの出力バッファがフルでなくなるまで待機し  
なければならぬ。

【005.0】I1111の時、図10の回路は許可され、T1  
1111及びA1111が両方とも1なので、図10の回路1の  
回路は禁止される。なぜなら、図10の回路1はス  
タートゲート05が反転1入力により1禁止されるから  
である。次に本アルゴリズムが、最初に入力バッ  
ファ(最終アタック)を選択し、次に出力バッファ(最終バ  
ッファ)を選択するために使用される。最後に、T  
1111及びA1111である入力バッファの優先順位を対  
象化する。図10参照。これはアタック01の入力バ  
ッファが二アリの・フルで、フルの出力バッファがそのタ  
ーゲットに付随して存在することによる。次に、バッファ・  
アービタを所有する入力バッファが選択される。この入  
力バッファを有するアタックが01となる。次に、E0  
1111の場合、I1111及びA1111の入力バッファが、  
二アリの・エンパティの出力バッファに付随するターゲット  
を有する。R0111及びT0111が共に1である出力  
バッファの優先順位を対象化する。R0111は1はア  
タック01の入力バッファが、アタック01の出力バ  
ッファに付随するターゲットを有することを意味する。E0111  
の場合、R0111及び反転F1111が共に1である出力バ  
ッファ優先順位を対象化する。反転F1111は、アタ  
ック01の出力バッファがフルでないことを意味する。最  
後に、バッファ・アービタにより出力バッファが選択さ  
れる。

【005.1】例えば、アタック02のフルの出力バ  
ッファがアタック01の入力バッファによりターゲット指  
定される場合、I1111であるので、図10及び図10の回  
路が使用される。T1111は1かつA1111なので、図  
10において、ライン21はハイまたは1である。他のア  
タックが二アリの・フルの入力バッファを有しない場合、

第1のバッファ・アービタは第1の出力がM1=1となり、それによりアタック#1が選択アタックとして定義される。これは図10のアタック#1に該当する回路75.1レジスタR1を制御する。アタック#1は、第1ステージANDゲート77が許可されるからである。

【0052】しかしながら、別のアタックが、乗算の出力バッファにタグゲット指定されるターゲット・アリアリ・フルの入力バッファを有する場合、第1のバッファ・アービタ#1は、このアタックが選択アタックであるかを判断する。例えば、アタック#1の時に、アタック#2がアリアリ・フルの入力バッファを有する場合、両方のライン21及び22がハイとなり、第1のバッファ・アービタ#1に人力される。第1のバッファ・アービタはバクタム人カP111及びP112により、アタック#1またはアタック#2のどちらが高い優先順位を有するかを判断する。ここでアタック#1が優先順位P111=111を有し、アタック#2がより低い優先順位P112=101を有するものと仮定する。図11を参照すると、第1ステージの優先順位ゲート77は、人力P111及びP112の最上位ビットのにおける0をフィルタ出力する。最上位ビットは両方とも1のため、第1ステージは組合する。第1及び第2の優先順位ゲート77の出力は、第1ステージに送達され、これは中間ビットと比較する。ここではP111が1を有するのに対し、P112が0を有するため、P111がP112に勝つことになる。従って、第1の優先順位ゲートの出力が1となり、第1のステージに送達され、第2の優先順位ゲートの出力は0となり、第2のステージからブロックされる。アービタ#1の出力はM1=1となり、他の全ての出力は0となる。

【0053】図10において、アタック#1に属する回路107が許可される。第1ステージANDゲート77は、アタック#1によりタグゲット指定される出力バッファを判断する。R1121=1であるため、アタック#2に属する回路85が許可される。第2ステージANDゲート78、81は、タグゲット指定される出力バッファがアリアリ・エンブディを判断する。そうでない場合、E1=1なので、第1乗算の出力バッファのゲート回路が禁止される。E1=1は、図5の回路において、R1121=1且つT012=1により、従って、アリアリ・エンブディANDゲート78がハイ出力を生成し、第2のバッファ・アービタ#2へ人力されるライン21がハイとなる。他のアタックがアリアリ・エンブディの出力バッファを有さない場合、第2のバッファ・アービタは82=1を生成し、アタック#2を選択アタックとして定義する。

【0054】しかしながら、例えばアタック#3が新たなエンブディ出力バッファを有し、アタック#1の人力バッファによりタグゲット指定される場合、第2のバッ

ファ・アービタ#2へ人力されるライン23がハイとなる。第2のバッファ・アービタは、バクタム人カP0121及びP0122を参照し、アタック#2またはアタック#3のどちらが高い優先順位を有するかを判断する。アタック#2がより高い優先順位を有する場合、82=1となり、第2の出力は0となる。

【0055】アリアリ・エンブディに対し、アタック#1の人力バッファによりタグゲット指定される出力バッファのいずれがバクタムでない場合、乗算のANDゲート81が許可される。これはすなわち、E1の戻転が1で且つF1の戻転が1であることによる。これにより、乗算の出力バッファの選択が許可される。

【0056】以上述べたように、図8及び図10の回路を使用することにより、中央アービタは、バスにおいて次にターゲット指定するためにバスへのアクセスを有するアタックを制御する。乗算の出力バッファを有するアタックに対してタグゲット指定されるアリアリ・フルの入力バッファを有するアタックが、バッファ・アービタを優先される。最初に、バッファ・アービタを所有する選択アタックが定義される。選択アタックが定義されると、次に選択アタックによりタグゲット指定される出力バッファから、選択アタックが定義される。アリアリ・エンブディの出力バッファは、乗算の出力バッファよりも高い優先順位が優先される。

【0057】アリアリ・フルの入力バッファを有するアタックが存在しない場合、E=0となり、図12及び図13の回路が使用される。最初に出力バッファを選択し、次に人力バッファを選択するために、次に本アルゴリズムが使用される。最初に、O=1の場合、すなわち、あるアタックの人力バッファによりタグゲット指定される。アリアリ・エンブディの出力バッファが存在する1、T0121及びO1の両方が1である出力バッファの優先順位を容易化する。O1=1は、他の少なくとも1つのアタック時に、アタック#2の出力バッファに属するターゲットが存在することを意味する。それ以外の場合には、O1及び戻転F1の両方が1である出力バッファ、すなわち、乗算の出力バッファの全ての優先順位を容易化する。次に、バッファ・アービタを所有する出力バッファを選択する。次にこれをアタック#2と仮定する。次に、R1121=1である人力バッファの優先順位を容易化する。各タグゲット・レジスタの各ビットが調整される。最後に、最も高い優先順位により容易化される入力バッファを選択する。

【0058】例えば、アタック#2がアリアリ・エンブディの出力バッファを有するものとする。中央アービタ77は、アタック#2の出力バッファにタグゲット指定されるターゲットを有する別のアタックが存在するかどうかを判断する。ここでアタック#1の人力バッファが、アタック#2にタグゲット指定されるターゲットを有すると仮定す

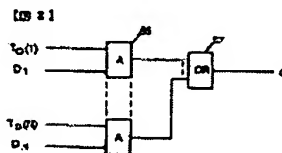
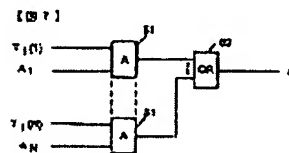
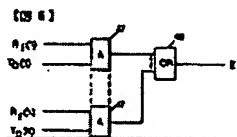
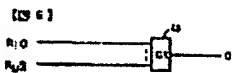
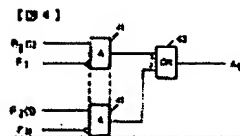
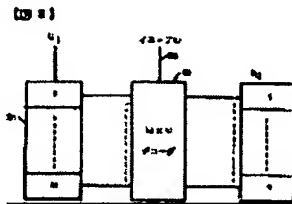
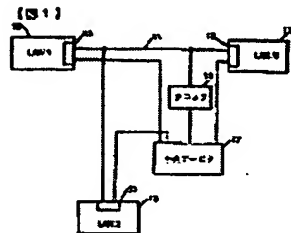
【0052】：データはブロック・サイズにより、バス上へ伝送される。単純化のため、ブロック・サイズが異なるものとする。カロック1番は全てのアダプタ及び中大型アダプタを参照する。例えば、第1のバス・サイクルの間、アダプタ#1がブロック・データをバスを介して

【0066】  
【発明の効果】以上説明したように、本発明は、共用バスをアクセス可能な特定の装置を選択するフロー制御装置を提供し、このフロー制御装置はバスのバックグラウンドで動作するために、バス上におけるデータのスループットを最大化する。

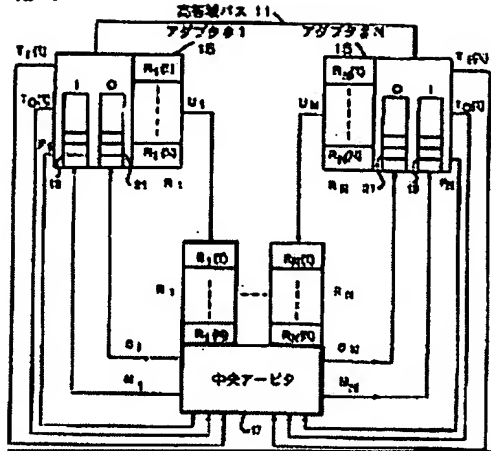
【図 6】中央アーヒタ図において扇形ラインを生成する  
計算回路を示す図である。

【図 1】中央アービタリにおいて制動ラインを生成する  
 論理回路を示す図である。  
 【図 2】中央アービタリにおいて制動ラインを生成する  
 論理回路を示す図である。  
 【図 3】 $i = 1$  1番目の出力バッファに接続するサ  
 ータでニアリ・フル状態の少なくとも1番の入力バッ  
 ファが存在することを示す1における制動アダプタを生成す  
 る論理回路の図である。  
 【図 4】 $i = 0$  1番目の出力バッファに接続するサ  
 ータでニアリ・フル状態の少なくとも1番の入力バッ  
 ファが存在することを示す1における制動アダプタを生成す  
 る論理回路の図である。  
 【図 5】パフォーマー・アービタリの論理回路の図である。  
 【図 6】 $i = 0$  1番目の出力バッファに接続するサ  
 ータでニアリ・フル状態の入力バッファが存在しないこ  
 とを示す1における制動アダプタを生成する論理回路の

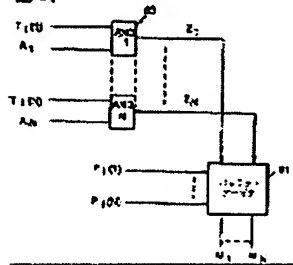
図である。  
 【図 7】 $i = 0$  1番目の出力バッファに接続するサ  
 ータでニアリ・フル状態の入力バッファが存在しないこ  
 とを示す1における制動アダプタを生成する論理回路の  
 図である。  
 【符号の説明】  
 10 演算  
 11 アダプタ  
 12 クロック  
 17 中央アダプタ  
 21 クラック・レクスタ  
 22 テコダ  
 23 イネーブル入力  
 24, 25 選択的論理ゲート  
 26 サブ回路  
 27, 28 論理回路

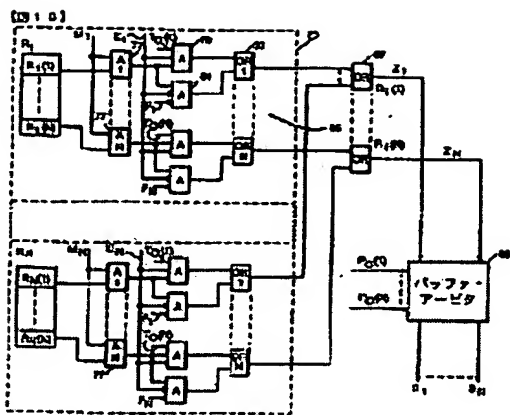


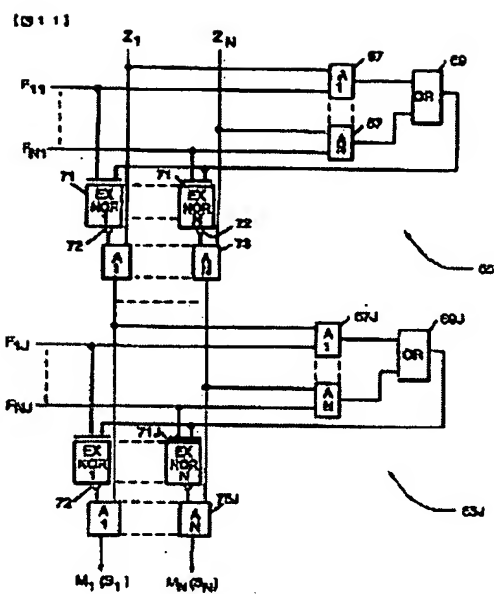
(図 2)

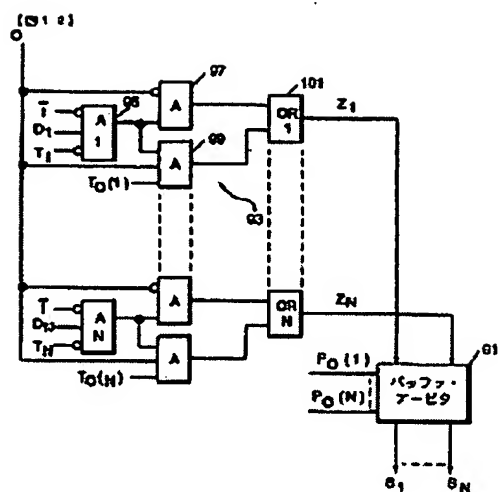


(図 3)

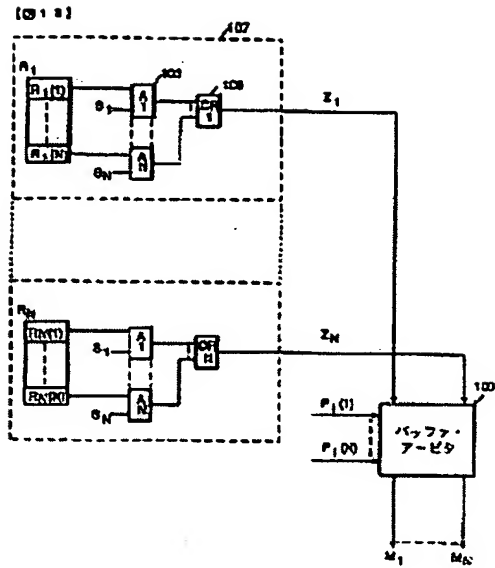












フロントパネルの図を

【図 1】 アンドリュース・ジョン・リンドス、サー  
アメリカ合衆国 27207、ノースカロライナ  
ロタラム、ウェームズ・ストリート 1421

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**